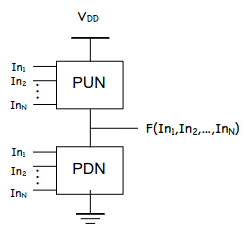
**Circuitos lógicos combinacionales**

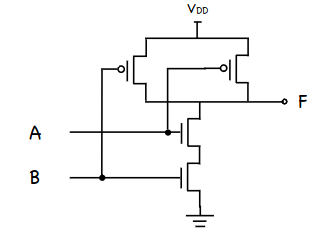
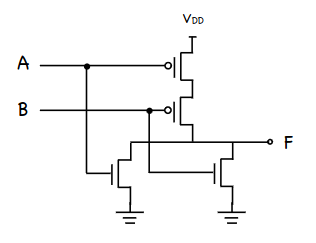
**Lógica CMOS complementaria IV**

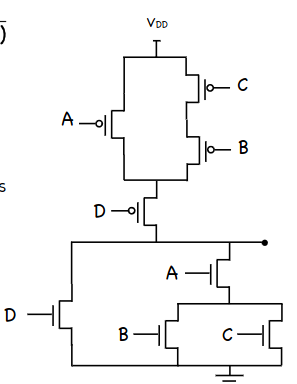
* Extensión del inversor CMOS. Permite construír funciones lógicas.
* Constituido por dos bloques de transistores:
  + **Pull-Up Network (PUN):** Bloque superior de transistores PMOS
  + **Pull-Down Network (PDN):** Bloque inferior de transistores NMOS
* Al crear funciones lógicas con tecnología CMOS:
  + Una conexión en serie en el bloque PMOS corresponde con una en paralelo en el bloque NMOS, y viceversa
    - Tras elaborar uno de los bloques, el otro será una copia con las conexiones en serie cambiadas por paralelo y viceversa. Se recomienda empezar por el bloque N.
  + Las puertas en lógica complementaria incluyen una **inversión**, por lo que la salida será negada
  + El número de transistores es el **doble** que el numero de entradas
* Al leer una función lógica a partir de un circuito, se lee la parte NMOS, se considera en serie →AND y en paralelo →OR, y se niega la función completa final.

**Implementación puertas lógicas**

* Transistores NMOS en serie o PMOS en paralelo implementan (parcialmente[[1]](#footnote-0)) una función NAND
* Transistores NMOS en paralelo o PMOS en serie implementan (parcialmente) una función NOR

**Implementación puertas lógicas** pero ben feita

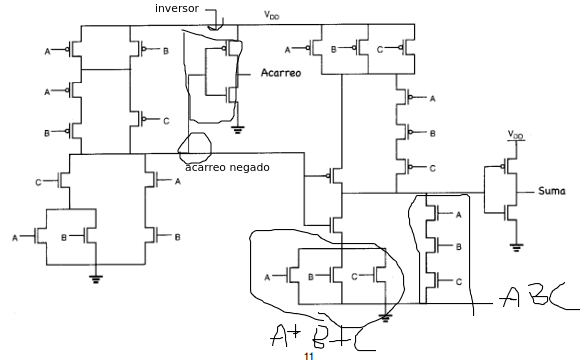
* Se añaden transistores adicionales que vayan a tierra, garantizando que la salida se fija a 0 cuando es necesario.
* **Puerta NAND:** **Puerta NOR:**

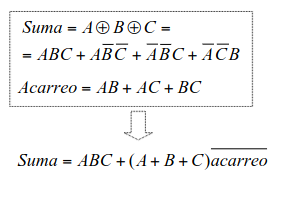


**Ejemplo:**

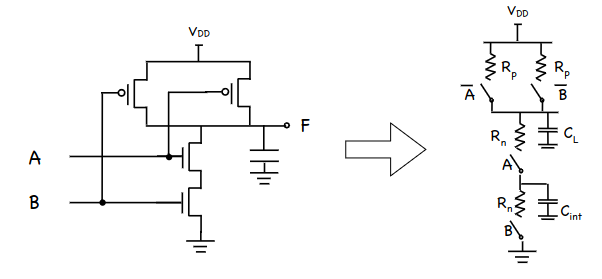
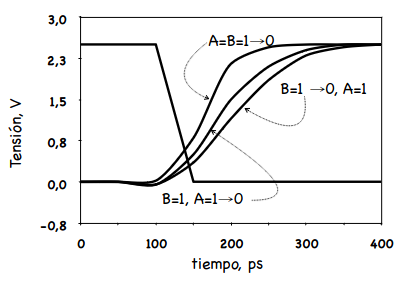
* Bloque P en parte superior, N en inferior
* Se realiza la función por partes:



**Full adder:**



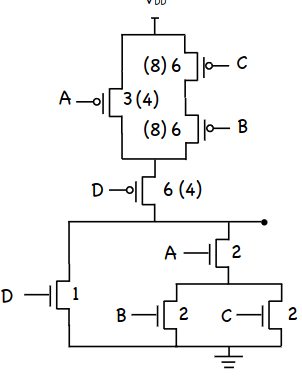
**Retardos de propagación**

* Tomando como referencia la siguiente puerta NMOS de dos entradas:
* 
* El retardo de propagación dependerá de la transición que se produzca:
  + Ambas entradas de baja a alta: **tpLH** 0.69 \* Rp/2 \*CL
    - Debido a que hay dos resistencias en paralelo, proporcionando dos vías para cargar el condensador, por lo que es más rápido.
  + Una entrada de baja a alta: **tpLH** 0.69 \* Rp \*CL
  + Ambas entradas de alta a baja: **tpHL** 0.69 \* Rp\*2 \*CL
* **Conclusión:**
  + Añadir transistores en serie ralentiza el circuito.
  + Las entradas más lentas deben estar próximas al nodo de salida.

**Dimensionado de transistores I**

* Habitualmente, para medidas iguales Rp es mayor que Rn, (suele ser Rp=2\*Rn), por lo que para que sea simétrico se debe hacer que el transistor PMOS sea el doble de ancho (más común)[[2]](#footnote-1) o la mitad de largo.
* Siendo Ln y WN de dimensiones mínimas. se toma Wp/Lp = **s(Wmin/Lmin)**, siendo **s** el **factor de escalado**

.

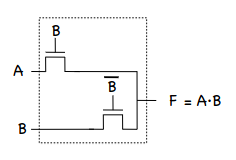
**Dimensionado de transistores** para obtener retardos simétricos

* Partimos de que todos los transistores tienen s=1.
* Se busca que los retardos sean **simétricos**, y similares en los peores casos a los del inversor.
* Calculamos los peores casos de retardo tanto para 0→1 como para 1→0, estudiando tpLH y tHL en los caminos más largos (con mayor resistencia entre los puntos)
  + Ejemplo: En el siguiente circuito, el peor caso ‘0’-->’1’ (parte superior PMOS) es el camino que toma C,B,D en serie.
  + R=RD+RB+RC=(2R/s)+(2R/s)+(2R/s)= 6R/s[[3]](#footnote-2)
* Calculamos, para cada resistencia, el valor de **s** que hace que la resistencia sea igual a **R[[4]](#footnote-3)**. En el caso anterior, C,B y D toman aumento **s=6**.
* Una vez se calculan los peores casos absolutos, se consideran los peores casos que involucran a cada transistor, hasta tener el escalado de todos.
  + Ejemplo: Calcular sA en la parte PMOS. RpA+RpD<=R. El valor mínimo de sA que cumple esto es s=3.
* En este caso, se pueden tomar aumentos distintos (entre paréntesis) que resultan en la misma resistencia, pero es más eficiente
  + Si se colocan los elementos de menor capacidad más próximos a la fuente, se reducen los retardos.

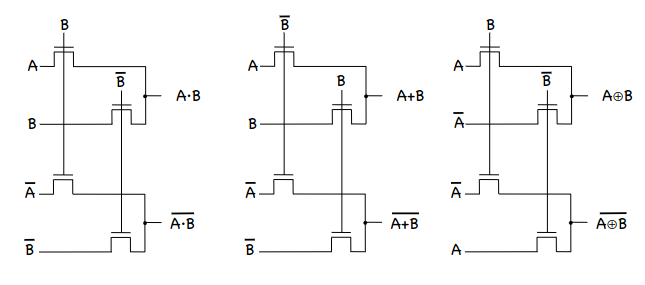
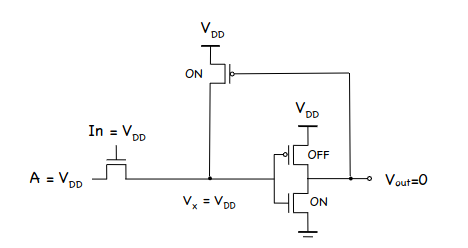
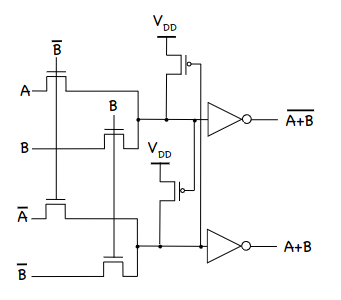
**Fan-out / Fan-in**

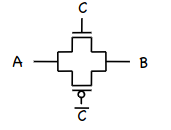
* **Fan-out:** Número de puertas conectadas a la salida de una puerta
* **Fan-in:** Número de puertas conectadas a la entrada de una puerta
  + Afecta significativamente a **tpHL**, con una función cuadrática en el peor caso.
  + Se deben evitar conectar más de 4 puertas a la entrada de una puerta

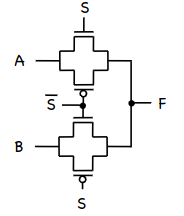
**Lógica de transistor de paso y puertas de transmisión**

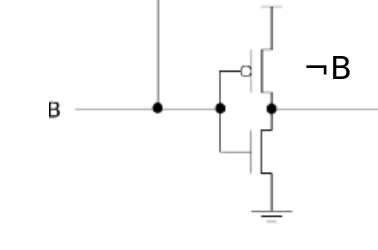
* Las entradas primarias controlan tanto los terminales de puerta (os transistores) y de fuente/drenador (onde irían 5V e GND)
* Ejemplo: operación AND con NMOS

**Lógica de transistor de paso complementaria (CPL) II**

* 
* Se obtiene simultáneamente la complementaria de cada salida
* Las puertas básicas tienen todas la misma estructura, sólo cambian las entradas
* **Inconvenientes:**
  + Las NMOS transfieren un ‘0’ fuerte y un ‘1’ débil
    - Siendo VTh la tensión umbral del transistor y VDD la tensión en caso de ‘1’, en caso de ‘1’ la la salida del transistor será VDD-VTh. Dependiendo de los márgenes de ruido del inversor, este valor puede no ser reconocido como ‘1’. Se pierde un valor de VTH en cada transistor.
  + PMOS transfiere un ‘1’ fuerte y un ‘0’ débil
* **Soluciones:**
  + Usar transistores con VTH=0 (non é boa! sensibles ao ruido!)
  + Utilizar un lazo de realimentación I: En caso de ‘1’, se activa un transistor que conoecta VDD con la salida del transistor a corregir, fijando la tensión a VDD y evitando pérdidas.
    - Ejemplo: AND/NAND en CPL con realimentación



* + Usar puertas de transmisión:
    - Combinando los dos tipos de transistores, se complementan. En caso de ‘1’ lógico funciona el PMOS, en caso de ‘0’ el NMOS. De esta forma, se evitan las pérdidas.
    - Ejemplo de uso: multiplexo. Si S=’1’ F=A, si S=’0’ F=B.
* **Nota:** esta peza, por si misma, funciona como un inversor creo



**homer simpson**

* lógica cmos:
  + salida negada, fiabilidad, 2 transistores por entrada (pmos+nmos), transistores en serie mas lentos que en paralelo
  + implementacion a partir de funcion y viceversa
  + dimensionado de transistores para optimicación de retardos
  + pode pedir ‘facer esta operacion e temos disponibles as entradas negadas’ saber que eso é facelo con cmos
* lógica transistores de paso:
  + lógica compacta, inconvenientes (saber o que significa), obter tabla a partir de circuito (NON facer circuito!!!)

1. En la implementación con NMOS, en los estados donde la salida de la función debería ser 1, se conecta F con VDD.En el caso de la implementación con PMOS, no está garantizado que cuando F=0 la salida se baje. [↑](#footnote-ref-0)
2. Si s>1 L=Lmin y W=sWmin.(disminuye R) Si s<1 W=Wmin y L=Lmin/s (aumenta R) [↑](#footnote-ref-1)
3. Se toma 2R porque, habitualmente, Rp=2RN. Non ten que ver co de arriba de alto/bajo. [↑](#footnote-ref-2)
4. En algunos ejercicios, se indica el valor del retardo (ej: retardos menores de 1 ns) [↑](#footnote-ref-3)